

SEMICONDUCTOR MEMORY

Publication number: JP6209092 (A)

Publication date: 1994-07-26

Inventor(s): KORUNERISU FUAN BERUKERU; NIIRU KURISUTOFUAA
BAADO +

Applicant(s): PHILIPS ELECTRONICS NV +

Classification:


- international: **G11C16/04; G11C17/00; G11C17/14; G11C17/18;
H01L21/8246; H01L21/84; H01L27/112; H01L27/12;
H01L29/786; G11C16/04; G11C17/00; G11C17/14; H01L21/70;
H01L27/112; H01L27/12; H01L29/66; (IPC1-7): G11C16/02;
H01L27/112; H01L27/12**


- European: **G11C16/04M; G11C16/04V; H01L21/84; H01L27/12B**


Application number: JP19930203377 19930817

Priority number(s): GB19920017743 19920819

Also published as:

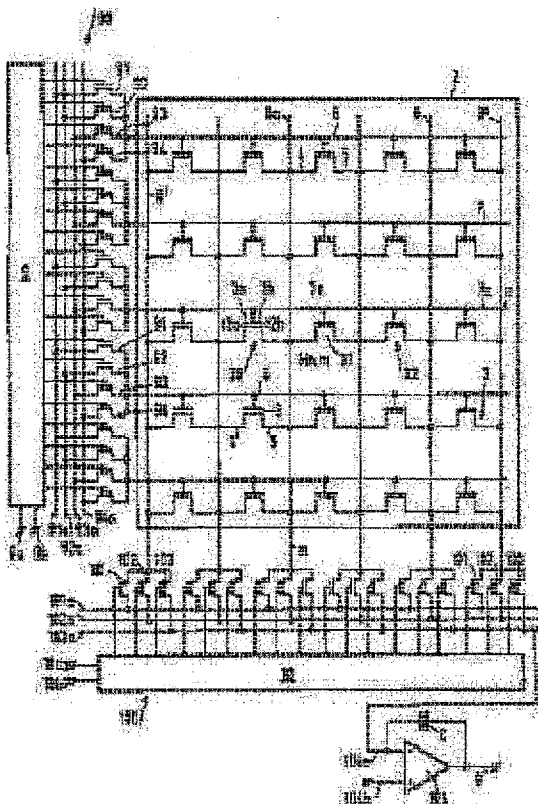
 EP0588402 (A2)

 EP0588402 (A3)

 US5426605 (A)

Abstract of JP 6209092 (A)

PURPOSE: To enable each field effect transistor to have a conductive channel region that is extended between first and second main electrodes, and a gate electrode for controlling conductivity along the conductive channel region, and a row conductor and a column conductor. **CONSTITUTION:** An array of rows and columns of FETs gives a memory position for storing data. Data are stored at the memory position to read data. The current conductive characteristics of parts 12a and 12b of a conductive channel region being adjacent to the column conductor that is selected are generated when the difference between first and second scheduled voltages exceeds a critical voltage in each FET with a gate electrode that is connected to a selected row conductor 7 and one main electrode that is connected to a column conductor 8. By applying a first scheduled voltage to the row conductor and a second scheduled voltage to the selected column conductor, data are stored at a desired memory position.



Data supplied from the **espacenet** database — Worldwide

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-209092

(43)公開日 平成6年(1994)7月26日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/112

G 1 1 C 16/02

H 0 1 L 27/12

7210-4M

H 0 1 L 27/ 10

4 3 3

6866-5L

G 1 1 C 17/ 00

3 0 7 A

審査請求 未請求 請求項の数17 O L (全 17 頁)

(21)出願番号 特願平5-203377

(22)出願日 平成5年(1993)8月17日

(31)優先権主張番号 9 2 1 7 7 4 3 : 5

(32)優先日 1992年8月19日

(33)優先権主張国 イギリス (GB)

(71)出願人 592098322

フィリップス エレクトロニクス ネムロ

ーゼ フェンノートシャップ

PHILIPS ELECTRONICS

NEAMLOZE VENNOOTSH

AP

オランダ国 5621 ベーアー アインドー

フェン フルーネヴァウツウェッハ 1

(72)発明者 コルネリス ファン ベルケル

イギリス国 サセックス プライトン ア

ルビオン ヒル25

(74)代理人 弁理士 杉村 暁秀 (外5名)

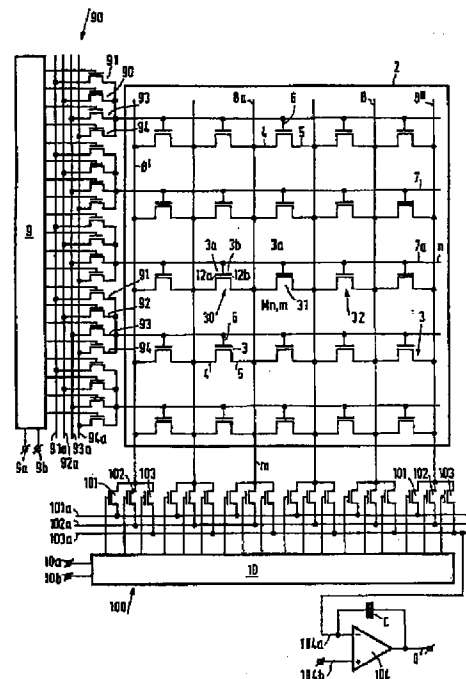
最終頁に続く

(54)【発明の名称】 半導体メモリ装置

(57)【要約】 (修正有)

【目的】 薄膜技術で製作され得る半導体メモリ装置を提供する。

【構成】 FET の行と列のアレイがデータ記憶用のメモリ位置を与える。メモリ位置にデータを記憶し又データを読み取る回路が設けられる。この回路は選択した行導体7へ接続したゲート電極と選択した列導体8へ接続した一つの主電極を有する各FER 内に第1 及び第2 予定電圧の間の差が臨界電圧を超える時に選択された列導体に隣接する導電チャネル領域の部分12a, 12bの電流導電特性の変化を生じ、選択した列導体へ接続した各FET の選択した列導体に隣接する導電チャネル領域の夫々の部分により与える所望のメモリ位置にデータを記憶するために選択した行導体への第1 予定電圧 V_g Wの印加と、選択した列導体への第2 予定電圧 V_d Wの印加により所望のメモリ位置にデータを記憶する装置を含む。



【特許請求の範囲】

【請求項1】 データを記憶するためのメモリ位置を与える電界効果トランジスタ(FETs)の行と列とのアレイを具えている半導体メモリ装置であって、各電界効果トランジスタは第1及び第2主電極の間に延在する導電チャネル領域と該導電チャネル領域に沿って導電性を制御するためのゲート電極、及び行導体と列導体とを有しており、各行における電界効果トランジスタのゲート電極はそれぞれの行導体へ接続されており、各列における電界効果トランジスタの第1及び第2主電極はそれぞれの隣接する列導体へ接続されているので一つの列における電界効果トランジスタ第2主電極はあらゆる隣接する列における電界効果トランジスタの第1電極へ接続され、またこの半導体メモリ装置はメモリ位置にデータを記憶し且つメモリ位置からデータを読み取るための回路を具えており、該回路は選択された行導体へ接続されたゲート電極と選択された列導体へ接続された一つの主電極とを有する各電界効果トランジスタ内に、第1及び第2予定電圧の間の差が臨界電圧を超過した場合に、選択された列導体に隣接する導電性チャネル領域の部分の電流導電特性での変化を起こすための電界を確立するために、選択された行導体へ第1予定電圧を印加し選択された列導体へ第2予定電圧を印加することにより所望のメモリ位置にデータを記憶するための手段を具えているので、選択された列導体へ接続された各電界効果トランジスタの選択された列導体に隣接する導電性チャネル領域のそれぞれの部分により与えられる所望のメモリ位置にデータが記憶される半導体メモリ装置。

【請求項2】 隣接する導電チャネル部分により規定されている隣接するメモリ位置を有する二つの隣接する電界効果トランジスタの各々の導電チャネル領域の部分により各メモリ位置が規定される、請求項1記載の半導体メモリ装置。

【請求項3】 選択された列導体に隣接する電界効果トランジスタの導電チャネル領域の部分の電流導電特性を導電チャネル領域内の状態創造により変えられるようにするために、選択されたメモリ位置にデータを記憶するための手段が充分な時間の間第1及び第2予定電圧を印加し且つ選択された行導体と選択された列導体との双方へ接続された各電界効果トランジスタ内に充分な電界を確立するように配置されている、請求項1又は2記載の半導体メモリ装置。

【請求項4】 前記電界効果トランジスタが導電チャネル領域からゲート電極を分離するゲート絶縁領域を有する絶縁ゲート電界効果トランジスタを具え、且つ選択された列導体に隣接する電界効果トランジスタの導電チャネル領域の部分の電流導電特性をゲート絶縁領域内の電荷捕捉により変えられるようにするために、選択されたメモリ位置へデータを記憶するための手段が充分な時間の間第1及び第2予定電圧を印加し且つ選択された行導体と

選択された列導体との双方へ接続された各電界効果トランジスタ内に充分な電界を確立するように配置されている、請求項1、2又は3記載の半導体メモリ装置。

【請求項5】 一つ又は複数の選択された行導体へ臨界電圧と逆極性で且つ臨界電圧より大きい予定電圧を印加することにより前記アレイ内に記憶されたデータを消去するための手段が設けられた、請求項4記載の半導体メモリ装置。

【請求項6】 選択された列導体に隣接する導電チャネル領域の部分の電流導電特性により電流のレベルが最初に決定され且つ前記電流を検出する方向に、選択された行導体と選択された列導体との双方へ接続されたあらゆる電界効果トランジスタを通して電流が流れるように、選択された行導体へ第3予定電圧を印加することにより且つ行導体へ予定された電圧を印加することにより、選択された行導体と選択された列導体とにより規定される所望のメモリ位置からデータを読み取るための手段を更に具えている、請求項1、2、3、4又は5記載の半導体メモリ装置。

【請求項7】 前記電界効果トランジスタが薄膜トランジスタを具え且つメモリ位置に記憶されたデータを読み取るための手段が選択された列導体へ第2予定電圧と逆極性の第4予定電圧を印加するための手段を具えている、請求項5記載の半導体メモリ装置。

【請求項8】 前記薄膜トランジスタが、絶縁基板状に設けられ且つ行導体と共に全体的に薄膜トランジスタのゲート電極を規定する導電ストリップの第1系列へ分割された第1導電層、導電ストリップの前記第1系列を覆い且つゲート絶縁領域を規定する絶縁層、薄膜トランジスタの導電チャネル領域を規定するために前記絶縁層上に設けられた故意でなくドーパされた半導体層、及び列導体と共に全体的に前記薄膜トランジスタの主電極を与えるために第1系列を横切って延在するストリップの第2系列へ分割された第2導電層を具えた、請求項7記載の半導体メモリ装置。

【請求項9】 前記電界効果トランジスタが導電チャネル領域から絶縁されていいるが重複している第1及び第2主電極を有する導電チャネル領域の一方側にゲート電極を有し他方側に第1主電極と第2主電極とを有する薄膜電界効果トランジスタを具え、且つメモリ位置に記憶されたデータを読み取るための手段が第2予定電圧により生じるはずの電流と同じ方向に電流を生じるために第4予定電圧を印加するための手段を具えた、請求項6記載の半導体メモリ装置。

【請求項10】 データに対してメモリ位置を与える電界効果トランジスタの行と列とのアレイを具えている半導体メモリ装置にデータを記憶する方法であって、各電界効果トランジスタが第1及び第2主電極の間に延在する導電チャネル領域と該導電チャネル領域に沿って導電性を制御するためのゲート電極、及び行導体と列導体と

を有し、各行内の電界効果トランジスタのゲート電極はそれぞれの行導体へ接続されており且つ各列内の電界効果トランジスタの第1及び第2主電極はそれぞれ隣接する列導体へ接続されているので、一つの列内の電界効果トランジスタの第2主電極はあらゆる隣接する列内の電界効果トランジスタの第1電極へ接続されており、この方法は、選択された行導体へ接続されたゲート電極と選択された列導体へ接続された一つの主電極とを有する各電界効果トランジスタ内に、第1及び第2予定電圧の間の差が臨界電圧を超えた場合に選択された列導体に隣接する導電チャネル領域の部分の電流導電特性の変化を起こすための電界を確立するために、第1予定電圧を選択された行導体へ印加し且つ第2予定電圧を選択された列導体へ印加することを具えているので、選択された列導体へ接続された各電界効果トランジスタの選択された列導体に隣接する導電チャネル領域のそれぞれの部分により与えられる所望のメモリ位置にデータが記憶される半導体メモリ装置にデータを記憶する方法。

【請求項11】 選択された列導体に隣接する電界効果トランジスタの導電チャネル領域の部分の電流導電特性を導電チャネル領域内の状態創造により変えられるようにするために充分な時間の間且つ選択された行導体と選択された列導体との双方へ接続された各電界効果トランジスタ内に充分な電界を確立するための第1及び第2予定電圧を印加することを具えている請求項10記載の半導体メモリ装置にデータを記憶する方法。

【請求項12】 導電チャネル領域からゲート電極を分離するゲート絶縁領域を各々が有する絶縁ゲート電界効果トランジスタとして電界効果トランジスタを与えることを具え、且つ選択された列導体に隣接する電界効果トランジスタの導電チャネルの部分の電流導電特性をゲート絶縁領域内の電荷捕捉により変えられるようにするために充分な時間の間且つ選択された行導体と選択された列導体との双方へ接続された各電界効果トランジスタ内に充分な電界を確立するために第1及び第2予定電圧を印加することを具えている請求項10記載の半導体メモリ装置にデータを記憶する方法。

【請求項13】 一つ又は複数の選択された行導体へ臨界電圧と逆極性で臨界電圧よりも大きい予定電圧を印加することによりアレイ内に記憶されたデータを消去することを具えている請求項12記載の半導体メモリ装置にデータを記憶する方法。

【請求項14】 請求項10～13のいずれか一項記載の方法を用いて記憶されたデータを読み取る方法であって、該方法は選択された行導体へ第3予定電圧を印加すること、及び電流のレベルが選択された列導体に隣接する導電チャネル領域の部分の電流導電特性により最初に決定され、且つ前記電流を検出する方向で選択された行導体と選択された列導体との双方へ接続されたあらゆる電界効果トランジスタを通して電流が流れるように列導

体へ予定電圧を印加することを具えた記憶されたデータを読み取る方法。

【請求項15】 薄膜トランジスタ各々が第1及び第2主電極とゲート電極とを有し、且つそれぞれの行導体へ接続されている各行内の薄膜トランジスタのゲート電極とそれぞれの列導体へ接続されている各列内の薄膜トランジスタの第1及び第2主電極とにより行と列とに配設されている薄膜トランジスタアレイを製造する方法であって、該方法は、絶縁基板上に全体的に行導体と共にゲート電極を規定するために導電ストリップの第1系列に分割された第1導電層を与えること、導電ストリップの前記第1系列を覆うために絶縁層を与えること、薄膜トランジスタの導電チャネル領域を規定するために前記絶縁層上に故意でなくドーパされた半導体層を与えること、前記半導体層上に光感応マスク層を与えること、基板を通して前記光感応マスク層を照射すること、前記光感応マスク層の露出されない範囲を除去しそれにより前記半導体層の範囲を露出すること、導電ストリップの第1系列と一直線上に、薄膜トランジスタの露出された範囲の導電チャネル領域を形成するために、半導体ストリップを規定するように半導体層の露出された範囲を除去すること、及び前記半導体層上に列導体と共に全体的に薄膜トランジスタの第1及び第2主電極を規定するために前記第1系列を横切って延在するストリップの第2系列として第2導電層を与えることを具えている薄膜トランジスタアレイを製造する方法。

【請求項16】 導電チャネル領域を形成した後にストリップの第2系列を与えることを具えている請求項15記載の薄膜トランジスタアレイを製造する方法。

【請求項17】 前記半導体層上に光感応マスク層を与える前に半導体層上にストリップの第2系列を与えることを具えている請求項15記載の薄膜トランジスタアレイを製造する方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体メモリ装置に関するものである。

【0002】特に、本発明は、データを記憶するためのメモリ位置を与える電界効果トランジスタ(FETs)の行と列とのアレイを具えている半導体メモリ装置に関するものであって、各電界効果トランジスタは第1及び第2主電極の間に延在する導電チャネル領域と該導電チャネル領域に沿って導電性を制御するためのゲート電極、及び行導体と列導体とを有しており、各行における電界効果トランジスタのゲート電極はそれぞれの行導体へ接続されており、各列における電界効果トランジスタの第1及び第2主電極はそれぞれの隣接する列導体へ接続されているので一つの列における電界効果トランジスタ第2主電極はあらゆる隣接する列における電界効果トランジスタの第1電極へ接続され、またこの半導体メモリ装置は

メモリ位置にデータを記憶し且つメモリ位置からデータを読み取るための回路を具えている。

【0003】

【従来の技術】米国特許明細書第4451904号はどのようないわゆる浮動あるいは仮想アースアレイを記載しており、その中では電界効果トランジスタが浮動ゲート酸化金属半導体(FAMOS)の形態であり、一方米国特許明細書第4173791号はそのような仮想アースアレイを記載しており、その中ではトランジスタは窒化酸化金属半導体トランジスタ(NMOS)、すなわち絶縁ゲート電界効果トランジスタの形態であり、そこではゲート絶縁領域が酸化珪素の層により追従された窒化珪素の層により与えられている。米国特許明細書第4451904号の場合には浮動ゲート内へ、また米国特許明細書第4173791号の場合には窒化珪素層内へ、トランジスタのドレインから熱電子の注入によりデータが記憶される。

【0004】そのような装置においては各トランジスタが独特のメモリ位置を規定し、且つ特定のメモリ位置を、すなわち特定のトランジスタをアクセスするために、電圧差が選択されたトランジスタの二つの主電極へ接続された列導体を横切って印加される間に、適切な電圧が所望のメモリ位置を含んでいるトランジスタの行へ接続された行導体へ印加される。同じ行内の他のトランジスタをアクセスすることを回避するように、選択されたトランジスタの第1及び第2主電極の一方へ接続された列導体に隣接する列導体はその列導体と同じ電位に維持され、一方選択されたトランジスタの第1及び第2主電極の他方へ接続された列導体に隣接する列導体はその導体と同じ電位に維持される。すなわち、選択された列内のトランジスタの第1及び第2電極の間にのみ電位差が存在する。

【0005】そのような半導体メモリ装置と前述のアクセス方法はバルク結晶質半導体構造に対して許容し得るとはいえ、熱電子注入がデータ記憶のための機構として用いられ得ない薄膜技術に用いるには適していない。

【0006】

【発明が解決しようとする課題】薄膜技術で製作され得る半導体メモリ装置を提供することが、本発明の目的である。

【0007】

【課題を解決するための手段】本発明の一態様によると、データを記憶するためのメモリ位置を与える電界効果トランジスタ(FETs)の行と列とのアレイを具えている半導体メモリ装置であって、各電界効果トランジスタは第1及び第2主電極の間に延在する導電チャネル領域と該導電チャネル領域に沿って導電性を制御するためのゲート電極、及び行導体と列導体とを有しており、各行における電界効果トランジスタのゲート電極はそれぞれの行導体へ接続されており、各列における電界効果トランジスタの第1及び第2主電極はそれぞれの隣接する列導

体へ接続されているので一つの列における電界効果トランジスタ第2主電極はあらゆる隣接する列における電界効果トランジスタの第1電極へ接続され、またこの半導体メモリ装置はメモリ位置にデータを記憶し且つメモリ位置からデータを読み取るための回路を具えており、該回路は選択された行導体へ接続されたゲート電極と選択された列導体へ接続された一つの主電極とを有する各電界効果トランジスタ内に、第1及び第2予定電圧の間の差が臨界電圧を超過した場合に、選択された列導体に隣接する導電性チャネル領域の部分の電流導電特性の変化を起こすための電界を確立するために、選択された行導体へ第1予定電圧を印加し選択された列導体へ第2予定電圧を印加することにより所望のメモリ位置にデータを記憶するための手段を具えているので、選択された列導体へ接続された各電界効果トランジスタの選択された列導体に隣接する導電性チャネル領域のそれぞれの部分により与えられる所望のメモリ位置にデータが記憶される半導体メモリ装置が提供される。

【0008】もう一つの態様においては、本発明は、データに対してメモリ位置を与える電界効果トランジスタの行と列とのアレイを具えている半導体メモリ装置にデータを記憶する方法であって、各電界効果トランジスタが第1及び第2主電極の間に延在する導電チャネル領域と該導電チャネル領域に沿って導電性を制御するためのゲート電極、及び行導体と列導体とを有し、各行内の電界効果トランジスタのゲート電極はそれぞれの行導体へ接続されており且つ各列内の電界効果トランジスタの第1及び第2主電極はそれぞれ隣接する列導体へ接続されているので、一つの列内の電界効果トランジスタの第2主電極はあらゆる隣接する列内の電界効果トランジスタの第1電極へ接続されており、この方法は、選択された行導体へ接続されたゲート電極と選択された列導体へ接続された一つの主電極とを有する各電界効果トランジスタ内に、第1及び第2予定電圧の間の差が臨界電圧を超えた場合に選択された列導体に隣接する導電チャネル領域の部分の電流導電特性の変化を起こすための電界を確立するために、第1予定電圧を選択された行導体へ印加し且つ第2予定電圧を選択された列導体へ印加することによって具えているので、選択された列導体へ接続された各電界効果トランジスタの選択された列導体に隣接する導電チャネル領域のそれぞれの部分により与えられる所望のメモリ位置にデータが記憶される半導体メモリ装置にデータを記憶する方法を提供する。

【0009】かくして、本発明による半導体メモリ装置と方法においては、選択された列導体に隣接する電界効果トランジスタの導電チャネル領域の部分の(しきい電圧の変化によって有効に)電流導電特性の変化を起こさせるのに十分な電界に、選択された行導体と列導体とへ接続されたあらゆる電界効果トランジスタを従属させるために、選択された行導体と列導体とへ第1及び第2

電圧を印加することにより、データが記憶され得る。

【0010】一般に、装置アレイの周辺を除いて、二つのトランジスタが選択された行導体及び選択された列導体へ接続され、それらの導体が独特のメモリ位置を規定するので、各メモリ位置が隣接する導電チャネル領域部分により規定されている隣接するメモリ位置を有する二つの隣接する電界効果トランジスタの各々の導電チャネル領域の部分により規定される。この独特のメモリ位置に記憶されたあらゆる電荷が、そのメモリ位置と関連する列導体と隣接する二つのトランジスタの各々の導電チャネル領域の部分の電流導電特性に生じる変化のおかげで検出され得るようになる。

【0011】かくして、周辺の電界効果トランジスタを別として、各電界効果トランジスタが二つの異なるメモリ位置に関連する情報を記憶し、且つそれ故にデータの二つの片又はビットを記憶する。本発明による半導体装置及び方法が単一電界効果トランジスタにより記憶された二つのビットが独特にアクセスされることを可能にする。かくして、情報が空間的に分離されるように記憶され、すなわちしきい電圧の変化、及び従って電流導電特性の変化は、印加された電界を受ける範囲のみに起こり、その電界はゲート電極と第1及び第2主電極の選択された一つとの間に存在し、且つ実際に導電チャネル領域の中心における電界はしきい電圧変化となるのに充分となり、それで二つのビットが空間的に分離されることを可能にする。

【0012】好適に、本発明による半導体メモリ装置は、選択された列導体に隣接する導電チャネル領域の部分の電流導電特性により電流のレベルが最初に決定され且つ前記電流を検出する方向に、選択された行導体と選択された列導体との双方へ接続されたあらゆる電界効果トランジスタを通して電流が流れるように、選択された行導体へ第3予定電圧を印加することにより且つ行導体へ予定された電圧を印加することにより、選択された行導体と選択された列導体とにより規定される所望のメモリ位置からデータを読み取るための手段をも具備している。

【0013】かくして、所望のメモリ位置に記憶されているデータによる電流伝導特性のあらゆる変化が電流レベルの検出できる変化を生じるように、選択された行導体へ第3予定電圧を印加し且つ列導体へ予定電圧を印加することによりデータが読み取られ得る。

【0014】このデータ読取手段がこれらの二つのビットが別々に且つ独特に認識されることを可能にする。

【0015】そのような半導体メモリ装置は、個別のアース電極を必要としないので非常に小形である仮想アース装置が、そのアレイが薄膜技術で形成され且つ唯一のトランジスタがセルすなわちメモリ位置毎に必要である場合にさえも用いられることを可能にする。

【0016】選択されたメモリ位置にデータを記憶する

ための手段は、選択された列導体に隣接する電界効果トランジスタの導電チャネル領域の部分の電流導電特性を導電チャネル領域内の状態創造により変えられるようにするために充分な時間の間且つ選択された行導体と選択された列導体との双方へ接続された各電界効果トランジスタ内に充分な電界を確立するための第1及び第2予定電圧を印加するように配置され得る。そのようなデータ記憶過程は高温（アモルファス珪素薄膜トランジスタアレイに対しては180°C）で焼きもどしすることによってのみ反転され得て、プログラマブル読取専用メモリ（PROM）に用いるのに特に適するメモリ装置を作る。

【0017】導電チャネル領域からゲート電極を分離するゲート絶縁領域を有する絶縁ゲート電界効果トランジスタをその電界効果トランジスタが具えるもう一つの装置では、第1及び第2予定電圧は、電流導電特性をゲート絶縁領域内の電荷捕捉により調節されるようにするために、充分な時間の間且つ行導体と選択された列導体との双方へ接続された各電界効果トランジスタ内に充分な電界を確立するために印加される。そのような方法の使用は、その過程が一つ又は複数の選択された行導体に対する臨界電圧と逆極性で且つそれより大きい第5予定電圧を印加することにより電氣的に反転され得て、それによりデータを消去され得るようにすると言う利点を有する。このことが電氣的に消去でき且つプログラムできる読取専用メモリ（EEPROM）の形成を可能にする。

【0018】上述のように、電界効果トランジスタは薄膜トランジスタを具えてもよく、且つメモリ位置に記憶されたデータを読み取るための手段は、電流が読取及び書込に対して逆方向であるように、第2予定電圧及び選択された列導体と逆極性の第4予定電圧を印加するための手段を具えてもよい。この例においては、選択された列導体へ印加される第4予定電圧は選択された列導体へ接続された各薄膜トランジスタに対してドレイン電圧を与える。薄膜トランジスタを流れる電流は、ドレイン電極が勿論高ドレインバイアスにおいてピンチオフする薄膜トランジスタのドレイン端であるから、ソース電極に隣接するよりもドレイン電極に隣接する電流導電特性の変化に一層敏感である。従って、薄膜トランジスタの導電特性の変化が有ろうが無かろうが、特定のメモリ位置を規定する部分はそのメモリ位置に関連する選択された列導体へ第4予定電圧を印加することにより独特に決定され得るので、その列導体へ接続された薄膜トランジスタの主電極がドレイン電極を形成し、且つそれでそのメモリ位置でその薄膜トランジスタを流れる電流が変化したか、一般に減少したかどうか、例えば、検出された電流から関連する電圧信号を得ること及びそれを基準電圧と比較することにより、（電流導電特性の変化が無い場合に）何からそれが起こり得たかを決定する。

【0019】そのようなメモリ装置用の薄膜トランジスタアレイは、絶縁基板上に全体的に行導体と共にゲート

電極を規定するために導電ストリップの第1系列に分割された第1導電層を与えること、導電ストリップの前記第1系列を覆うために絶縁層を与えること、薄膜トランジスタの導電チャネル領域を規定するために前記絶縁層上に故意でなくドーパされた半導体層を与えること、前記半導体層上に光感応マスク層を与えること、基板を通して前記光感応マスク層を照射すること、前記光感応マスク層の露出されない範囲を除去しそれにより前記半導体層の範囲を露出すること、導電ストリップの第1系列と一直線上に、薄膜トランジスタの露出された範囲の導電チャネル領域を形成するために、半導体ストリップを規定するように半導体層の露出された範囲を除去すること、及び前記半導体層上に列導体と共に全体的に薄膜トランジスタの第1及び第2主電極を規定するために前記第1系列を横切って延在するストリップの第2系列として第2導電層を与えることにより、製造され得る。そのような方法は二つだけのマスクステップを必要とし且つなんらの精密な整列手順を伴わない。このことが高い詰め込み密度が達成されることを可能にする。

【0020】第2導電層はアルミニウムのような金属の層により覆われたドーパされた半導体層を具えてもよい。

【0021】ストリップの第2系列は導電チャネル領域を形成した後に設けられてもよい。

【0022】代案として、導電ストリップの第2系列は半導体層の上に光感応マスク層を設ける前に半導体層上に設けられてもよい。このことは光感応マスク層による導電チャネル領域の汚染のあらゆる可能性を回避し、またあらゆる別のマスクステップが実行される前に導電ストリップの第1系列上に設けられるべき全部の層を許容し、これが処理時間を低減するであろう。

【0023】もう一つの例では、トランジスタが導電チャネル領域から絶縁されてといるが重複している第1及び第2主電極を有する導電チャネル領域の一方側にゲート電極を有し、他方側に第1主電極と第2主電極とを有する薄膜電界効果トランジスタを具えてもよい。そのような場合には、メモリ位置に記憶されたデータを読み取るための手段は、第2予定電圧により生じるはずの電流と同じ方向の電流を与えるために、電界効果トランジスタの主電極の他方の一つへ第2予定電圧と逆極性の第4予定電圧を印加するための手段を具えてもよい。そのような場合には、各トランジスタにより記憶された2ビットが列導体へ第4予定電圧を印加することにより独特に検出され得るので、第2予定電圧の印加の間であったような読取の間、書込及び読取の双方に対して同じ方向に電流が流れる。この例では、導電チャネル領域との第1及び第2主電極の重複の所為で、薄膜トランジスタに固有の寄生トランジスタが主薄膜トランジスタ導電チャネル領域と並列に電流路を与え、且つ書込と読取との双方に対して同じ方向に電流を流すことにより、データの読

取の間は所望のメモリ位置を規定する薄膜トランジスタの部分と並列な寄生トランジスタがスイッチオフされ、一方同じ薄膜トランジスタの他の部分と並列な寄生トランジスタがスイッチオンされ、すなわち導通となり、それでこの薄膜トランジスタの他の部分の回りの導電路を与えるので、検出される電流は所望のメモリ位置における薄膜トランジスタの通路の電流導電特性により決定され、それで再び特定のメモリ位置に記憶されたデータの独特の検出が可能である。

【0024】

【実施例】添付の図面を参照して、実例により以下本発明の実施例を説明しよう。

【0025】さて、特に図面を参照して、図1は本発明による半導体メモリ装置のための回路レイアウトを図解している。

【0026】図1に示したように、この半導体メモリ装置は絶縁ゲート電界効果トランジスタ(IGFETs)のアレイ2を具えており、絶縁ゲート電界効果トランジスタはこの例では(以下にもっと詳細に説明するように)薄膜電界効果トランジスタ(TFTs)3の形態である。

【0027】薄膜電界効果トランジスタ3は各々第1及び第2主電極(さもなくばソース電極及びドレイン電極として知られる)4及び5とゲート電極6とを有する。薄膜電界効果トランジスタ3は行と列とに配設されているので、各行の薄膜電界効果トランジスタ3のゲート電極6はそれぞれの行導体7へ接続され一方各列の薄膜電界効果トランジスタ3の第1及び第2主電極4及び5はそれぞれ隣接する列導体8へ接続されているので、一つの列の薄膜電界効果トランジスタ3の第2主電極5はあらゆる隣接列の薄膜電界効果トランジスタ3の第1主電極4へ接続されている。これはいわゆる仮想アースアレイ(例えば米国特許明細書第4173791号参照)であり、仮想アースアレイには個別のアース接続が無い。行導体7は行駆動装置90へ接続されている。

【0028】この行駆動装置はあらゆる適当な形態のものであってもよい。図1は一つの可能な装置を図式的に説明している。図1に図解した例では、行駆動装置90はシフトレジスタ及び復号回路9を具えており、その回路はクロック及び読取、書込又は消去制御信号を受信するための第1入力端子9a及び第2入力端子9bを有している。各行導体7は4個の絶縁ゲート電界効果トランジスタ91、92、93及び94のそれぞれの組の各々の一方の主電極へ接続されており、それら全てのトランジスタはシフトレジスタ及び復号回路9へ個別に接続されたゲートを有している。トランジスタ91、トランジスタ92、トランジスタ93及びトランジスタ94の他方の主電極は、第1導体91a、第2導体92a、第3導体93a及び第4導体94aのそれぞれ一つへ接続され、それらの導体へは、以下に説明するように、シフトレジスタ及び復号回路9への論理入力の制御の下に半導体メモリ装置からデータの書

込、読取又は消去を可能にするために電圧信号が印加される。

【0029】行導体8は列駆動装置 100へ同様に接続され、列駆動装置 100は再びあらゆる適当な形態のものであってもよい。図1に図解した例では、列駆動装置は行駆動装置90に類似しており且つシフトレジスタ及び復号回路10を具えており、その回路は回路の動作を制御するために第1入力端子10aと第2入力端子10bとを有している。

【0030】各列導体8は、シフトレジスタ及び復号回路10へ個別的に接続されたゲート電極を有する3個のトランジスタ101、102及び103のそれぞれの組の各々の一方の主電極へ接続されている。トランジスタ101、トランジスタ102及びトランジスタ103の他方の主電極は、第5導体101a、第6導体102a及び第7導体103aへそれぞれ接続されている。第7導体103aは電荷感応増幅器104の負入力端子104aへ接続され、一方電荷感応増幅器104の正入力端子104bと第5及び第6導体101a及び102aは、動作中、以下に説明するように、列シフトレジスタ及び復号回路10へ印加されるクロック信号の制御の下で、半導体メモリ装置へのデータの書込と半導体メモリ装置からのデータの読取を可能にするための電圧へ接続される。電荷感応増幅器104はそれの負入力端子104aへコンデンサCを介して接続された出力端子Oを有し、アクセスされた列導体を通して供給される電流をアクセスされたデータの性質を決定するための適当な慣習的比較器（図示せず）により基準電圧と比較される電圧出力に変換するために働く。適切な回路により並列データ出力が与えられるけれども、図示の装置は直列データ出力を与える。

【0031】図1は薄膜トランジスタ3の5×5マトリックスアレイへ接続された5個の行導体7と6個の列導体8だけを示しているけれども、実際にはこのアレイはもっと非常に大きくてもよく、例えば3000×3000の薄膜トランジスタアレイであってもよい。

【0032】行駆動装置90と列駆動装置 100とはアレイ2とは別の基板上に（又はアレイ2の回りの基板上に）形成されてもよく、例えば多結晶珪素薄膜トランジスタ回路の形態であってもよい。

【0033】図2及び図3に図解したように、アレイ2を形成している薄膜トランジスタ3は特に単純な構造を有し得る。かくして、アレイ2はガラス又は適当なプラスチック材料から形成され得る絶縁基板11上に、完全な様式でゲート電極6と各行の薄膜トランジスタのゲート電極6を相互接続しているそれぞれの行導体7とを形成する導電性の、一般にはクロムのトラックのパターンを最初に規定することにより製造され得る。

【0034】薄い絶縁層12、例えば約50nm（ナノメートル）の厚さを有する窒化珪素の層が、その後真性アモルファス半導体、この場合にはアモルファス珪素、一般に

は水素添加されたアモルファス珪素の層13に追従された薄膜トランジスタのゲート絶縁領域を形成するために堆積され、その層が薄膜トランジスタ3の導電チャネル領域を形成する。この絶縁層と半導体層とは、プラズマ増強化学真空蒸着（PECVD; plasma enhanced chemical vapour deposition）により堆積されてもよい。光電感性耐食膜がそれからこのアモルファス半導体層13上に置かれて、基板を通る背面光により露出されるので、不透明クロム線7上にある耐食膜の範囲は露出されない。耐食膜の露出された範囲はマスクパターン20を残すように除去される。下にある半導体の露出された範囲13aは、それからエッチングして取り去られるので、アモルファス半導体の部分的に残っている台地状ストリップ13bがクロム行導体7と整列された薄膜トランジスタの導電チャネル領域を規定する。

【0035】アモルファス半導体、この例では水素添加されたアモルファス珪素の、再びこの例ではn型導電性でドーパされた層がそれから置かれて、その後例えばクロム又はクロムとアルミニウムとの順次の層から形成され得る第2金属化レベルが置かれる。ドーパした半導体と金属化層とはそれから行導体7を横切って、垂直に示されたように、延在しているストリップを規定するようにパターン化される。

【0036】図示のように、ドーパした半導体と金属化層との規定は隣接する第1及び第2主電極の絶縁を補償するように、真性アモルファス珪素を少しだけエッチングしてもよい。

【0037】背面照明による導電チャネル領域13bを規定するステップと第1及び第2主電極4及び5を規定するステップとは、列導体8が図3bに示したように最初に規定され、それから背面照明が図3aに図解されたように導電チャネル領域13bを規定するために実行されるように反転されてもよい。これらのステップの反転は、光電感性耐食膜による導電チャネル領域13bの汚染のあらゆる可能性を回避する利点を有し、且つ又あらゆる他のマスクステップが要求される前に導電ストリップの第1系列上に置かれるべき構造を形成するための全部の層を許容する。

【0038】ドーパされた半導体領域14が、導電チャネル領域へのオーミック接触をさせるための金属化を可能にする台地状ストリップ13b上のソース接触領域とドレイン接触領域とを与える。導電性ストリップの第1系列と類似した方法により、導電性ストリップの第2系列が完全な様式で薄膜トランジスタ3の第1主電極4と第2主電極5及び関連する列導体8を規定する。ドーパされた半導体領域14は、第1主電極4と第2主電極5とが導電チャネル領域13bに直接接触するように、省略されてもよい。

【0039】駆動回路（シフトレジスタ及び復号回路9と10）は、前記のように、既知の技術を用いて個別に形

成され且つ既知の技術を用いてアレイと相互接続されてもよく、且つ従ってここでは詳細には説明しない。

【0040】この過程はただ二つの個別のマスクのみを必要とする特に単純なものであり、且つ二つのマスクの間には厳密な整列を必要としないので、高密度のアレイを達成することができる。かくして、現在の技術によって、約 $15\mu\text{m} \times 15\mu\text{m}$ （マイクロメータ）の大きさのビットセル（薄膜トランジスタ）を有するアレイが、駆動回路により占有される面積を考慮して、クレジットカードと同等な大きさを有する完成装置に対して、約10Mビット（メガビット）の容量を許容することが可能となるはずである。

【0041】薄膜トランジスタ3のアレイ2がデータが記憶され得て且つデータが読み取られ得るメモリ位置Mを与える。以下の記載から明らかになるように、各行導体7が各列導体8と共に、その列導体とその行導体とへ接続された二つの薄膜トランジスタ3の一方の部分3aと同じ行導体と列導体とへ接続された二つの薄膜トランジスタの他方の部分3bとにより定義される独特のメモリ位置を形成する。かくして、図1と図4とに示したように、n番目の行導体7aとm番目の列導体8aとが、m番目の列導体に隣接する薄膜トランジスタ30の部分3bと薄膜トランジスタ31の部分3aとにより与えられるメモリ位置 $M_{n,m}$ を規定する。

【0042】メモリ位置 $M_{n,m}$ が論理「0」（零）を表すデータを記憶しているかあるいは論理「1」（一）を表すデータを記憶しているかは、メモリ位置を与えている薄膜トランジスタ部分3aと3bとの電流導電特性により決定される。

【0043】メモリ位置Mの電流導電特性は、以下に非常に詳細に説明するように、行駆動装置90と列駆動装置100とへ印加される電圧により決定される。

【0044】以下に説明する例においては、電荷捕捉がゲート絶縁領域内に生じてそれによりしきい電圧に変化を生じ、且つ従って二つの薄膜トランジスタのそれぞれの部分3aと3bとの電流導電特性に変化を生じるのに、選択された行導体7と選択された列導体8との双方へ接続された二つの薄膜トランジスタのそれぞれの部分3a及び3b内に十分な高電界を確立するように、選択されたメモリ位置 $M_{x,y}$ に関連する行導体7と列導体8へ、第1予定電圧 $V_g W(+)$ と第2予定電圧 $V_d W(-)$ とを第1導体91aと第6導体102aと介して印加することによって、メモリ位置が論理1を表現するようにされる。メモリ位置が論理「0」を表現すべき場合には、この例においては、第1予定電圧 $V_g W(+)$ と第2予定電圧 $V_d W(-)$ がそのメモリ位置に関連する行導体と列導体との組み合わせへ印加されない。

【0045】所定のメモリ位置に記憶されたデータは、適切な行導体7と列導体8とへ第3予定電圧 $V_g R(+)$ と第4予定電圧 $V_d R(+)$ とを印加し、選択された列導

体を通る電流を検出することにより読み取られ得る。第3予定電圧 $V_g R(+)$ は第2導体92aと行シフトレジスタ及び復号回路9を介して選択される適切なトランジスタ92とを介して印加され、一方第4予定電圧 $V_d R(+)$ は第7導体103aへ接続された負入力端子104aを有する電荷感応増幅器104の正入力端子104bへ印加される。

【0046】以下に説明する理由のために、この場合には選択された列導体は選択された行導体7と選択された列導体8との双方へ接続された二つの薄膜トランジスタのドレインを形成するので、これらのトランジスタを通る電流はこのメモリ位置へデータを書き込むための方向と逆方向である。この電流の反転はこの例においては第4予定電圧 $V_d R(+)$ が第2予定電圧 $V_d W(-)$ （この電圧は本例では負である）と逆極性を有するようにし、且つ第2予定電圧 $V_d W(-)$ 及び第4予定電圧 $V_g R(+)$ の双方を選択された列導体へ印加することにより達成される。

【0047】以下の記載から明らかになるように、このメモリ位置が仮想アース装置での同じ行導体7と列導体8とへ接続されている二つの別の薄膜トランジスタの隣接する部分3aと3bとにより規定されるという事実にもかかわらず、この過程が独特のメモリ位置からデータが読み取られることを可能にする。

【0048】図4は簡単な図面により、図1～3に示したアレイ2の薄膜トランジスタからデータが記憶され且つ読み取られる方法を図解している。

【0049】図4においては、アレイ2の一部分がW、R及びEの符号を付けられた三つの直角にされた範囲により囲まれて示されている。外側の直角にされた範囲Wは、本例においては、薄膜トランジスタ30と31との隣接する部分3bと3aとが接続されるn番目の行導体7aとm番目の列導体8aとにより規定されるメモリ位置において論理「1」を表現するデータを書き込むための動作の間に、行導体n-1、n、n+1、n+2と列導体m-1、m、m+1のそれぞれへ行駆動装置90と列駆動装置100とにより印加される電圧を与え、一方中間の直角にされた範囲Rは、このメモリ位置 $M_{n,m}$ に記憶されたデータの読取を可能にするために、同じ行導体7aと列導体8aとへ印加される電圧を与えている。内側の直角にされた範囲Eは、データを消去するための電圧を与えている。

【0050】n番目の行とm番目の列との交点におけるメモリ位置 $M_{n,m}$ へ論理「1」を表現するデータを書き込むために、行駆動装置90と列駆動装置100とは、n番目の行導体へ接続されたトランジスタ94を除いて全部のトランジスタ94を、第4導体94aを介してアース（大地）へ関連する行導体7を接続するように導通させることにより、且つm番目の列導体8aへ接続されたトランジスタ101を除いて全部のトランジスタ101を第5導体101aを介して大地へ関連する列導体8を接続するように導

通させることにより、 n 番目の行導体と m 番目の列導体とを除く全部の行導体7と列導体8とが(図4では「0」(零)ボルトとして図解されている)大地(アース)電位になることを補償する。

【0051】 n 番目の行導体7aへ接続されたトランジスタ91は、第1導体91aを介して正の第1予定電圧 $V_g W(+)$ への n 番目の行導体へ接続するために、行シフトレジスタ及び復号回路9により導通にされ、一方 m 番目の列導体8aへ接続されたトランジスタ102は、負の第2予定電圧 $V_d W(-)$ へ n 番目の列導体8aを接続するために導通にされる。これら二つの電圧はかくして薄膜トランジスタ30と31とのゲート及び薄膜トランジスタ30の第2主電極5と薄膜トランジスタ31の第1主電極4とへそれぞれ印加される。

【0052】第1及び第2予定電圧は、それにより薄膜トランジスタ30の部分3bと薄膜トランジスタ31の部分3aとの中に確立される電界が、電荷がこれら二つの薄膜トランジスタ30及び31のゲート絶縁領域12の相当する部分12b及び12a内に捕捉されるようにするのに充分であるように選択される。

【0053】所定に位置におけるゲート絶縁領域12内への導電チャネル領域13aからの電荷捕捉は、その特定の位置におけるゲート絶縁領域を横切る電界にのみ依存する。図5内の実線曲線Xは、ゲート絶縁領域を横切る電位(電圧) $V_g - V_T(y) - V(y)$ の関数としてしきい電圧 ΔV_T の変化を示し、ここで V_g はゲート電極へ印加される電圧であり、 $V(y)$ は位置 y における導電チャネル領域電位であり、 $V_T(y)$ は元の加圧されないしきい電圧であって且つ ΔV_T は位置 y におけるチャネルシートコンダクタンスにおけるしきい電圧変化を表している。位置 y においてゲート絶縁領域内へ注入される電荷 $Q(y)$ は、 $Q(y) = C_{ins} \Delta V_T(y)$ により表され、ここで C_{ins} はゲート絶縁領域の幾何学的キャパシタンスである。ゲート絶縁領域を横切る電圧が臨界電圧 $|V_c|$ (図5に示したように、負 $V_c(-)$ 又は正 $V_c(+)$ であってもよい)を超える場合に、メモリ効果が現され、すなわちしきい電圧 $\Delta V_T(y)$ での実効電荷による電流導電特性の検出できる変化があり、且つデータが記憶される。

【0054】図5は図式的曲線Xを図解しているだけであり、且つ印加される電界としきい電圧の変化 $\Delta V_T(y)$ との間の正確な関係は材料の質、書込電圧の継続期間及び装置温度のような要素に依存するであろうことは勿論認識されるべきである。

【0055】第1及び第2予定電圧は、
【数1】

$$\left. \begin{aligned} V_g W - V_d W &> V_c(+), \\ V_g W &< V_c(+), \\ V_d W &< V_c(-) \end{aligned} \right\} \quad (1)$$

のようにして選択され、すなわち、第1及び第2予定電圧の間の差が薄膜トランジスタのしきい電圧が変化し始めるがしかし正の第1予定電圧すなわちゲート電圧 $V_g W(+)$ はこの臨界電圧 V_c よりそれ自身小さく且つ第2予定電圧即ちドレイン電圧 $V_d W(-)$ はしきい電圧が変化し始める負の臨界電圧 $V_c(-)$ よりもそれ自身大きい(負が小さい)ように選択される。このことは、第1及び第2予定電圧のそれぞれの大きさは、しきい電圧の変化を誘起するためには不充分であるが、それらの間の差は電荷捕捉を誘起するための電界には充分高い電界を発生するのに充分であることを意味する。前述の条件を満足させるためには、第1及び第2予定電圧は逆極性でなくてはならないので、 n チャネル薄膜トランジスタの場合には前述のように第1予定電圧 $V_g W(+)$ は正であって、一方第2予定電圧 $V_d W(-)$ は負であることは勿論認識されるべきである。

【0056】薄膜トランジスタ30と31とのゲート絶縁領域12を横切る電圧は、第2予定電圧 $V_d W(-)$ が印加される主電極に隣接する、すなわち薄膜トランジスタ30の第2主電極5に隣接し且つ薄膜トランジスタ31の第1主電極4に隣接するゲート絶縁領域の部分12aと12b内への電荷捕捉となるのに充分であるだけとなる。かくして薄膜トランジスタ30の部分3aと薄膜トランジスタ31の部分3aとだけが、しきい電圧への影響及び従って電流導電特性への影響を生じるために、選択された行導体7aと列導体8aへのそれぞれ第1予定電圧 $V_g W(+)$ と第2予定電圧 $V_d W(-)$ の印加により充分に加圧される。それ故に、図4に図式的に説明したように、このアレイのメモリ位置 $M_{n,m}$ に対するデータは、(図4に見られるように)薄膜トランジスタ30のゲート絶縁領域の右側部分12bと薄膜トランジスタ31のゲート絶縁領域の左側部分12aとに蓄積された電荷により表現される。この蓄積された電荷は、図4にハッチングにより図解されている。 m 番目の列導体8aから離れた薄膜トランジスタ30の部分3aと薄膜トランジスタ31の部分3bとは加圧されない。まったく、熟達した読者には明かなように、薄膜トランジスタ30の部分3aは、(図示されていない) n 番目の行導体7aと $(m-1)$ 番目の列導体とへ接続された隣接する薄膜トランジスタの部分3aと共に、メモリ位置 $M_{n,m-1}$ を規定し、一方薄膜トランジスタ31の部分3bは隣接する薄膜トランジスタ32の部分3aと共にメモリ位置 $M_{n,m+1}$ を規定する。

【0057】前記説明の過程はアレイ2の各メモリ位置Mにデータが蓄積されることを可能にする他の行及び列に対して反復され得る。

【0058】図4は表1に表現されるアレイの部分に蓄積されたような、2進パターン

【表1】

	m-1	m	m+1
n-1	0	0	0
n	0	1	0
n+1	1	0	1
n+2	1	1	1

を示している。

【0059】メモリ位置、例えば図4に示したメモリ位置 $M_{n,n}$ の状態を読み取るために、n番目の行導体7aとm番目の列導体8aとを除いた全部の行及び列導体を書込動作に関連して上述したように、大地へ接続される。

【0060】正の第3予定電圧 $V_g R(+)$ が、第2導体92aとn番目の行導体7aに関連しているトランジスタ92とを介してn番目の行導体7aへ印加され、一方正の第4予定電圧 $V_d R(+)$ が、m番目の列導体8aへ負の入力端子104aが第7導体103aと適切なトランジスタ103とを介して接続された電荷感应増幅器104の正入力端子104bへ印加され、それにより第4予定電圧にn番目の列導体を維持する。

【0061】第4予定電圧 $V_d R(+)$ は選択された列導体8aへ接続された二つの薄膜トランジスタ30と31とに対してドレイン電圧を与え、第2予定電圧と第4予定電圧とが逆極性であるから、電流は書込の間の電流と逆方向である。

【0062】薄膜トランジスタを流れる電流はしきい電圧の変化に一層敏感であり、且つ従って高いドレインバイアスの下では勿論ドレイン端にピンチオフが起こるので、ソース電極に隣接するよりもドレイン電極に隣接する電流導電特性の変化に一層敏感である。従って、薄膜トランジスタのドレイン電極に隣接する部分でのしきい電圧の変化は、薄膜トランジスタのソース電極に隣接する部分でのしきい電圧の変化よりもずっと大幅な電流導電特性への影響を有する。従って、(本例においては)二つの隣接する薄膜トランジスタ30及び31の隣接する部分3b及び3aにより規定されるメモリ位置 $M_{n,n}$ に電荷が蓄積されていたかいないかは、それらの共有する主電極が第4予定電圧 $V_d R(+)$ を選択された列導体8aへ印加することにより、及び電流のなんらかの減少を検出することにより、各薄膜トランジスタのドレイン電極を作ることによって独特に決定され得る。そのような電流の減少の検出は、本例においては、メモリ位置 $M_{n,n}$ に論理「1」を表現する電荷が蓄積されていたことを指摘する。選択された列導体8aを流れる電流は電荷感应増幅器104により検出され且つ電圧に変換されて、選択されたメモリ位置 $M_{n,n}$ が論理「0」(実質的に無電荷)かあるいは論理「1」(大幅な電流変化)を記憶しているか

どうかを決定するために、その電圧が慣習的な比較器(図示せず)を用いて基準電圧と比較される。

【0063】第3及び第4予定電圧は勿論、選択された行導体と列導体とへ接続された薄膜トランジスタ内に誘起される電界が、しきい電圧変化を生じるには不充分であるようで、すなわち加圧が起こらないようではなならない。このことは第3予定電圧 $V_g R(+)$ と第4予定電圧 $V_d R(+)$ とが各々臨界電圧 V_c より小さい大きさを有すること、及び同様に第3予定電圧と第4予定電圧との間の差の大きさが臨界電圧より小さいことを必要とする。

【0064】検出された電流のレベルが、特定のメモリ位置が例えば論理「1」を表現するデータを記憶しているかどうか、あるいは電荷がそのメモリ位置に蓄積されていないのでそのメモリ位置は論理「0」を表現するデータを「記憶している」かどうかを指摘する。かくして、メモリ位置を表現している二つの薄膜トランジスタのそれらの部分、例えば書込動作の間に薄膜トランジスタ30及び31のゲート絶縁領域の部分12b及び12a内に電荷捕捉を生じるために充分高い電界を誘起することにより、そこに電荷が蓄積されていた(すなわちこの場合には論理「1」を表現している)上述のメモリ位置 $M_{n,n}$ を表現する薄膜トランジスタ30及び31の部分3b及び3aは、電荷が蓄積されていなかった(すなわち論理「0」を表現している)薄膜トランジスタの部分よりも大きいしきい電圧を有し、且つそれで第3予定電圧 $V_g R(+)$ と第4予定電圧 $V_d R(+)$ との一定の値に対して、論理「1」を表現するために電荷が蓄積されていたメモリ位置の二つの薄膜トランジスタの二つの薄膜トランジスタ部分3a及び3bを流れる電流が、電荷が蓄積されていなかったメモリ位置(例えば $M_{n,n+1}$)の相当する薄膜トランジスタ部分を流れる電流よりも小さくなる。電流のこれらの二つのレベルは検出され得て且つ上述のようにしてか又はなんらかの適切な慣習的な手段を用いて区別され得る。

【0065】上述のことから認識されるように、各ビットは二つの隣接する薄膜トランジスタのゲート絶縁領域の一般に半分の12a, 12bの隣接する部分により表現されるメモリ位置 $M_{x,y}$ (ここで $x=1, \dots, n-1, n, n+1, \dots$ 及び $y=1, \dots, m-1, m, m+1, \dots$)に記憶されるので、各薄膜トランジスタが二つの異なるビットを表現している情報を記憶する。

【0066】最初の列導体と最後の列導体(図1では8'と8'')は各々薄膜トランジスタ3の唯一の列へ接続されるので、これらの列導体8'及び8''とあらゆる行導体7とにより規定されるメモリ位置は、薄膜トランジスタの一部(列導体8'の場合には3aであり列導体8''の場合には3b)のみから成り、且つそれでそのようなメモリ位置に蓄積される電荷は比例して少ない。これは付加的な回路、例えば他の列導体を流れる電流と等価

となるように列導体8'及び8''を流れる電流を変動させる電流ミラー装置を組み込むことにより調節され得る。代わりに、最初の列導体と最後の列導体はメモリ位置を規定するために実際には使用されない単なるダミー導体にされてもよい。

【0067】図4に示したように、各薄膜トランジスタ3はかくして、同じ行内で且つ同じ列導体へ接続された二つの隣接する薄膜トランジスタ3のゲート絶縁領域の隣接する部分12a, 12bによって蓄積されている1ビットを表現する電荷により、二つの異なるビットを表現するために用いられる。同じ薄膜トランジスタのゲート絶縁領域の二つの部分12aと12bに蓄積された電荷は変化させられないことは明らかであるけれども、実際には問題ではない。かくして、上述の書込動作は単一の薄膜トランジスタ3により蓄積されたあらゆる電荷バケットを、導電チャネル領域の対向端部に置かれるようにさせて、且つ第2予定電圧 $V_d W$ と第4予定電圧 $V_d R$ との間の極性の反転がこれらの各電荷バケットを個別に検出されることを可能にする。かくして、前述のように、高いドレインバイアスにおいては、薄膜トランジスタを流れる電流は、ソースとして動作する電極の近くに蓄積された電荷によるよりも、薄膜トランジスタのドレインとして動作する電極の近くに蓄積された電荷により大きい減少を示し、且つ二つの薄膜トランジスタの二つの主電極の間の電圧の極性を反転することによって、すなわちメモリ位置を表現する薄膜トランジスタが接続されている列導体間の極性を反転することによって、電荷が蓄積されていた部分3a, 3bが、電流が増大したかあるいは減少したかを検出することにより独特に決定され得る。

【0068】上述した書込及び読取動作は、理想化された電荷捕捉特性を有する薄膜トランジスタに対して模擬されて、各それぞれに対して以下の特性が用いられた。

ゲート絶縁領域厚さ $d_{\text{sin}} = 50\text{nm}$

導電チャネルの長さに対する幅比 $W/L = 138$

移動度 $\mu = 0.4\text{cm}^2\text{V}^{-1}\text{S}^{-1}$

ボルト当たりの10進電流 $S = 10/V$

臨界電圧 $V_c (+) = 8\text{ボルト}$

$d\Delta V_T / dV_g = 0.3$

第1予定電圧 $V_g W = 4\text{ボルト}$

第2予定電圧 $V_d W = -6\text{ボルト}$

第3予定電圧 $V_g R = 4\text{ボルト}$

第4予定電圧 $V_d R = 4\text{ボルト}$

【0069】図6はゲート絶縁領域を横切る電圧 $V_g - V(y)$ と導電チャネル領域に沿った位置 y との関係を示す。左側軸に関して曲線aにより示している書込動作を図解しており、ここで $y=0$ は一方の主電極4に隣接し、且つ $y=1$ は他方の主電極5へ印加されている第2予定電圧 $V_d W(-)$ を有する薄膜トランジスタの他方の主電極5に隣接している。曲線b及びcは右側軸に関して描かれ、且つこの薄膜トランジスタを横切って印加さ

れる電界により誘起される電荷捕捉により、主電極5に隣接する薄膜トランジスタの導電チャネル領域の部分により表現されるメモリ位置にデータが記憶されたそれぞれ前と後との、しきい電圧 $V_T(y)$ と導電チャネル領域に沿った位置 y との関係を表している。

【0070】曲線cにより図6に示したように、「ドレイン」電極5へ印加された負の第2予定電圧 $V_d W(-)$ の故に、書込動作の間にゲート絶縁領域を横切る電圧が左から右へ（すなわち「ソース」電極4に最も近い導電チャネル領域の端部から「ドレイン」電極5に最も近い端部へ）増大する。ソース電極から約0.61（ここで1がチャネル長さである）の距離において、臨界電圧 V_c が達成され且つゲート絶縁領域内に誘起された電荷捕捉の故にしきい電圧が変化する。

【0071】データすなわち電荷はかくして「ドレイン」電極5に隣接するこの薄膜トランジスタのゲート絶縁領域12の部分12a 又は12b 内に（且つ勿論同じ行導体と列導体とに接続された隣接する薄膜トランジスタのゲート絶縁領域12の部分12b 又は12a 内にも）蓄積される。

【0072】読取動作を図解するために、対数 I_{sd} 左側目盛りを参照される曲線 $d_1 \sim d_4$ と、 $(I_{sd})^{1/2}$ 右側目盛りを参照される曲線 $e_1 \sim e_4$ とによりモデル化されたトランジスタの伝達特性（ゲート電圧 V_g 対電流 I_d ）を図7が示している。

【0073】破線の曲線 d_1 及び e_1 は書込動作前の特性を示している。装置が対称であるからこの状況では第1主電極4と第2主電極5とのどちらがドレイン電極を形成するかは重要ではない。

【0074】実線 d_2, d_3, e_2 及び e_3 は書込動作の後の特性を示している。曲線 d_2 及び e_2 の場合には第4予定電圧 $V_d R$ （これは第2予定電圧 $V_d W$ と逆極性の電圧である）が第2予定電圧 $V_d W(-)$ と二つの主電極のうちの同じ一方の電極電極5へ印加されるのに対して、曲線 d_3 及び e_3 の場合には二つの主電極のうちの他方の電極電極4へ印加される。図7から判るように、しきい電圧以上の電流は、電荷が一方の電極5に隣接して蓄積されたが他方の電極4に隣接しては蓄積されないと言う正しい指示を与えて、曲線 d_3 及び e_3 よりも曲線 d_2 及び e_2 に関して大幅に低い。破線の曲線 d_4 及び e_4 は薄膜トランジスタの両半部分に電荷が蓄積されそれでこの装置がもう一度対称である状態を図解している。

【0075】比較の目的で図8は図7と類似したグラフに基づき、第1予定電圧 $V_g W(+)$ が4ボルトであって第2予定電圧 $V_d W(-)$ が-6ボルトであって、且つ50nmのゲート絶縁領域厚さと138の導電チャネル領域の長さに対する幅比 w/L とを有する、図3に示した薄膜トランジスタに類似した薄膜トランジスタへ10秒の期間の間それらの電圧が印加された、図7にモデル化された特性と等価な、実験的に得られた伝達特性 d'_1, d'_2, d'_3 及

び e'_1 , e'_2 , e'_3 を図解している。ここでも薄膜トランジスタの一方の半分に於ける電荷の蓄積と他方の半分に於ける電荷の無蓄積とを容易に確認できる。

【0076】Eの符号を付けられた直角にされた範囲すなわち箱によって図4に示したように、前述のように全部の列導体8を接地し、且つ全部の行導体7へ負のリセット電圧 V_g $E=V_d(-)+V_T$ (ここで V_T は薄膜トランジスタの加圧されない名目しきい電圧である)を、トランジスタ93と第3導体93aを介して印加することにより、この半導体メモリ装置の内容は完全に消去できる。代わりに、消去されるべき行の導体を除き全部の行導体が接地され、且つリセット電圧が消去されるべき行に関連する行導体へ単に印加された場合には、行毎の消去動作が可能である。

【0077】本発明は、図2及び図3に示した構造と異なる構造の薄膜トランジスタを有する薄膜トランジスタアレイ2へ適用することができる。それらの薄膜トランジスタはあらゆる慣習的な形態、例えば共面形、スタガー形、反共面形又は反スタガー形であってもよい。

【0078】図9は本発明による半導体メモリ装置に用いることができる、いわゆるB形形態の反スタガー形薄膜トランジスタ3'の図式的断面図である。

【0079】図9に示したように、絶縁基板11上に設けられたゲート電極6はゲート絶縁領域12により覆われており、その領域が再び導電チャネル領域13を形成するために窒化珪素と真性半導体層で形成してもよい。再び真性半導体層は水素添加されたアモルファス珪素で形成してもよい。この構造では、例えば窒化珪素で形成されたパッシベーション領域16が、ソース及びドレイン接触領域14と電極4及び5とが形成される前に、導電チャネル領域13上に設けられる。ソース電極4とドレイン電極5とはかくしてパッシベーション領域16と少しだけ重複し、それが重複寄生トランジスタのゲート絶縁領域を形成するパッシベーション領域16との重複領域16a及び16b内の寄生トランジスタとなり得る。

【0080】図10は図9に示した種類の三つの隣接する薄膜トランジスタ30', 31'及び32'に対する等価回路を示しており、この図においてトランジスタT4とT5とが重複寄生トランジスタを表現し、一方トランジスタT1, T2及びT3は、重複領域16aの下の主トランジスタの部分を表すトランジスタT1と、重複領域16bの下の主トランジスタの部分を表すトランジスタT2とを有する薄膜トランジスタの主導電チャネル領域13を表現している。三つの薄膜トランジスタ30', 31'及び32'は全部、図1に示した回路レイアウトを有する本発明による半導体メモリ装置の二次元マトリックスアレイの、言うならば行nの単一の行にある。薄膜トランジスタ30'の一部と薄膜トランジスタ31'の一部とにより規定されるメモリ位置 $M_{n,n}$ にデータを記憶するために、ゲート絶縁領域においてそれ以上で電荷捕捉が起こる臨界電圧 $V_c(+)$ に等し

いか又はそれに近い V_g $W-V_d$ $W/2$ によって、第1予定電圧 V_g $W(+)$ と第2予定電圧 V_d $W(-)$ とが図4を参照してそれぞれ上述したように、適切なn番目の行導体7aとm番目の列導体8aとへ印加される。それ故に、電荷が薄膜トランジスタ30'の重複領域16aに隣接するゲート絶縁領域の部分内に捕捉されて、それで薄膜トランジスタ30'のトランジスタT1を加圧し、且つ薄膜トランジスタ30'のしきい電圧に変化を生じる。電荷は薄膜トランジスタ31'の重複領域16bに隣接するゲート絶縁領域の部分内でも捕捉され、薄膜トランジスタ31'のトランジスタT2を加圧し、且つ薄膜トランジスタ31'のしきい電圧に変化を生じる。前述のように、データ例えば論理1がメモリ位置 $M_{n,n}$ すなわちn番目の行導体とm番目の列導体との交差点により表現されるデータ点に記憶されていたと言う指示を与えるために、捕捉された電荷は電流の減少として感知され得る。

【0081】図9に示した種類のトランジスタで形成されたアレイを有する半導体メモリ装置からどのようにしてデータが読み取られるかを説明するために、単一の薄膜トランジスタ、本例ではトランジスタT2が前述のようにn番目の行導体7aとm番目の列導体8aとを介する書込電圧の印加により加圧される薄膜トランジスタ31'を最初に参照しよう。

【0082】読取の間に、第3予定電圧 V_g R がn番目の行導体7aへ印加され、且つ正の第4予定電圧 V_d R がm+1番目の列導体8bへ印加された場合には、薄膜トランジスタ31'のみを考慮すると、トランジスタT5がオフとなり、且つトランジスタT4はオンとなるので、トランジスタT1(及びそこに蓄積されたあらゆる電荷)がバイパスされ、且つトランジスタT2に蓄積された電荷のみが感知される。第4予定電圧がm番目の列導体8aへ印加された場合には、再び薄膜トランジスタ31'のみを考慮すると、トランジスタT5がオンされてトランジスタT2をバイパスし、一方トランジスタT4はオフとなりトランジスタT1に蓄積されたあらゆる電荷が感知されることを可能にする。従って(等価回路部分のトランジスタT1及びT2での)対向端部において捕捉された電荷は、別々に感知され且つ独特に検出され得て、上述のように各薄膜トランジスタ3'が二つの異なるビットを表現するデータを記憶することができるようにする。

【0083】前述のことから、図9に示した構造に類似した構造を有する薄膜トランジスタを有する本発明による半導体メモリ装置のメモリ位置、本例においてはメモリ位置 $M_{n,n}$ からデータを読み取るために、データがそこから読み取られなければならないm番目の列導体8aは、隣接する(m-1及びm+1)列導体に対して負の電位でなくてはならないことが認識されるであろう。かくして、前記の例ではm番目の列導体8aは大地電位にあり、一方残りの列導体は正の第4予定電圧 V_d R にある。行駆動装置90と列駆動装置100とは、勿論印加され

る電圧に適した電圧を可能にするための制御又は論理入力の適切な変形によって、図1に示した駆動装置に類似してもよい。

【0084】前述のことから、図9に示した種類の薄膜トランジスタ3'を用いる半導体メモリ装置の動作は、前者の場合、すなわちいわゆるB形薄膜トランジスタ3'による場合に、その薄膜トランジスタを通る電流の方向は特定のメモリ位置へのデータの書込及び読取の双方に対して同じであり、一方図2及び3に示した薄膜トランジスタ3に対しては、電流の方向は書込動作と読取動作との間で反転されると言う事実のおかげで、図2及び3に示した種類のトランジスタを用いる半導体メモリ装置の動作と異なっていることが認識されるであろう。

【0085】また、図2~4を参照して説明した例においては、第2予定電圧 $V_{dW}(-)$ と第4予定電圧 $V_{dR}(+)$ とは逆極性の電圧であり、且つ読取と書込との間に反対方向の電流を達成するように、同じm番目の列導体8aへ印加されるけれども、第3予定電圧と第4予定電圧との間の差が臨界電圧に到達しない場合には、同じ極性の反転は同じ極性の第4予定電圧と第2予定電圧とを用い、且つm番目の列導体8aを接地し、一方第4予定電圧を残りの列導体へ印加することにより達成され得る。同様に図9及び図10においては、例えば第2予定電圧 V_{dW} と第4予定電圧 V_{dR} とが同極性の電圧であり得て、且つ同じ列導体8aへ印加され残りの列導体は接地されるので、電流は読取及び書込に対して同じ方向である。再び、読取動作の間に臨界電圧が到達されないことを補償するための注意が必要である。

【0086】図11は、図9に示した種類の薄膜トランジスタ3'に対して得られた実験的伝達特性(ゲート電圧に対するソースドレイン電流の平方根)をグラフで図解しており、ここで薄膜トランジスタ3'は400nmのゲート絶縁領域厚さと5.07の導電チャネル領域の長さに対する幅比 w/l を有し、その薄膜トランジスタに40ボルトの第1予定電圧 V_{g1W} と-30ボルトの第2予定電圧 V_{g2W} が1000秒間印加される。この例においては第2予定電圧は主電極4へ印加された。破線g1とg2とは第1予定電圧 V_{g1W} と第2予定電圧 V_{g2W} の印加無しの伝達特性を図解しており、破線g1は他方の主電極5へ印加される第4予定電圧 V_{g4R} により得られた特性を表現しており、且つ破線g2は同じ主電極4へ印加される第4予定電圧 V_{g4R} により得られた特性を表現している。

【0087】実線h1とh2とは第1予定電圧と第2予定電圧との印加の後の状態に対する類似の曲線を示しており、曲線h1は他方の主電極5へ印加される+30Vの第4予定電圧 V_{g4R} に対する曲線を示し、且つ曲線h2は同じ主電極4へ印加される第4予定電圧に付いて示している。第3予定読取ゲート電圧 V_{g3R} は第1予定電圧 V_{g1W} と同じである。図11から明らかなように、トランジスタT2に隣接して蓄積される電荷は独特に決定され得る。

【0088】アレイ2内にデータ記憶を可能にするための機構として、ゲート絶縁領域内の電荷捕捉の使用に関して本発明が以上説明されてきた。しかしながら電荷捕捉は利用され得る二つの可能な機構のうちの一つに過ぎない。かくして、第1予定電圧と第2予定電圧とにより印加される電界により誘起されるしきい電圧変移は、上述のようなゲート絶縁領域内の電荷捕捉の結果として、あるいは導電チャネル領域内の状態の創造の結果としてのいずれかで得ることができる。これらの二つの機構は、例えばPowell M.J., van Berkel C., French I.D. 及びNicholls D.H. によりApplied Physics Letters の51巻(1989)の第1242頁に掲載された論文"Bi-as Dependence of Instability Mechanisms in Amorphous Silicon Thin Film Transistors"、及びPowell M.J., van Berkel C.及びHughes J.R. によりApplied Physics Letters の54巻(1989)の第1323頁に掲載された論文"Time and Temperature Dependence of Instability Mechanisms in Amorphous Silicon Thin Film Transistors"に論じられているように、異なるバイアス、時間及び温度依存を有する。

【0089】室温と適度の長さの加圧時間(例えば1000秒)において、状態創造はより低いバイアスにおいて(すなわち電荷捕捉を可能にするのに必要な大きさより小さい大きさを有する電圧において)優位を占め、一方電荷捕捉はより高いバイアスにおいて引き継がれる。状態創造は室温では比較的遅い処理であるが、温度を増大することにより強烈に増大する。電荷捕捉は状態創造よりも短い時間において一層速く、その時間も温度に無関係である。

【0090】本発明の目的に対する二つの機構の間の重要な差は、前述のように、逆極性の充分に強いバイアスの印加によって電荷捕捉が反転され得る一方図5に破線γにより示したように(帯域ギャップ内の異なるエネルギー位置においてさえも)負及び正のバイアス加圧の双方において状態創造が行われることである。状態創造は180℃よりも大きい温度において焼きなますことによってのみ反転され得る。従って、本発明は、結果として生じるしきい電圧変移 ΔV_T が電荷捕捉によるような第1予定電圧 V_{g1W} と第2予定電圧 V_{g2W} との電圧と持続期間とを選択することにより、電氣的にプログラム可能な且つ消去できる読取専用メモリ(EEPROM)を提供するか、又は電流導電特性の変化がしきい電圧変移が状態創造によるためであるような第1予定電圧と第2予定電圧とを選択することにより、内容が高温における焼きなましによってのみ変えられ得るプログラム可能な読取専用メモリ(PROM)を提供するために用いられてもよい。

【0091】前述の例においては、半導体メモリ装置は論理「0」か又は論理「1」のいずれかを表現する電荷を蓄積するデジタル装置であるけれども、異なるデータレベルを表現するためにしきい電圧変化の異なる値を

選択することにより、二つ以上の異なるレベルを表現するデータを記憶することが、本発明による半導体メモリ装置に対して可能である。かくして、図5を参照して、最初の値 ΔV_{T1} 以下のしきい電圧変化は最初のデータ値例えば1を表現するために取られ得て、 ΔV_{T1} と ΔV_{T2} との間の範囲内のしきい電圧変化は第2データ値例えば2を表現するために取られ得て、以下同様である。

【0092】電荷の存在が論理「1」を表現するために前記の例に取り上げられ、且つ電荷の不在が論理「0」を表現するために取られたけれども、これらの選定は反転され得ることも認識されるであろう。

【0093】前述の例はnチャネル薄膜トランジスタを用いたけれども、本発明は電圧極性その他の適切な修正によりpチャネル装置にも多分適用され得る。

【0094】上述の例は薄膜技術を用いて製造される半導体メモリ装置に関するものであるが、本発明はその他の半導体技術、例えば結晶性珪素が絶縁層又は領域上に設けられるいわゆる絶縁物上珪素(SOI:silicon on insulator)技術へ適用することができ、あるいは絶縁電界効果トランジスタ(IFET)が窒化酸化金属半導体(MNOS)トランジスタの形態である、すなわちゲート絶縁領域が窒化物と酸化物との組み合わせ、あるいはその他の適切な電荷捕捉組み合わせにより形成される、バルク単結晶半導体、例えば珪素、技術へ適用することができる。また、珪素以外の半導体材料が使用され得る。しかしながら、バルク半導体絶縁ゲート電界効果トランジスタ(IGFETs)内のデータ記憶のために用いられる正常な機構、即ち熱電子注入が実用的ではないので、薄膜技術へ応用する場合に本発明は特別の利点を有する。更にその上、本発明はゲート絶縁領域と導電チャネル領域との双方が図2及び3に関して前述したようにゲート電極パターンにより容易に規定できるので、反スタガー形薄膜トランジスタ技術に特に都合がよい。

【0095】本開示を読むことにより、その他の修正及び変形がこの技術に熟達した人々には明らかであろう。そのような修正及び変形は半導体技術において既知であり且つここに既に記載した特徴に代えるか又は加えて用いられ得るその他の特徴を伴い得る。特許請求の範囲はこの出願においては特徴の特定の組み合わせに対して形成されているけれども、それが現在いずれかの特許請求の範囲に記載されたのと同じ発明に関係するか否か、及びそれが本発明が緩和するのと同じ技術的問題点のいずれか又は全部を緩和するか否かにかかわらず、本発明の開示の範囲は明示的又は暗示的にここに開示されたあらゆる新奇特徴又は特徴の新奇な組み合わせをも含む。出願人はここに、本出願又はそれから分割されたあらゆる別の出願の継続中に、そのような特徴とそのような特徴の組み合わせとの双方又はいずれか一方に対して新しい特許請求の範囲が形成され得るという注意を与える。

【図面の簡単な説明】

【図1】本発明による半導体メモリ装置の一部を示す図式的回路レイアウトである。

【図2】本発明による半導体メモリ装置用の絶縁ゲート電界効果トランジスタのアレイの一例の上部平面図である。

【図3】図2に示したアレイの断面図を示し、(a)は製造の間に図2のII Ia~II Ia線方向において取った断面図、(b)は図2のII Ib~II Ib線に沿って取った図2に示したアレイの一部を通る断面図である。

【図4】図2及び図3に図解されたアレイの選択された絶縁ゲート電界効果トランジスタへデータを書き込み及びそれからデータを読み取るための、本発明による方法を図解するための図式的線図である。

【図5】図2と図3に示したアレイの絶縁ゲート電界効果トランジスタの、ゲート絶縁領域を横切って印加される電圧の関数としてのしきい電圧の変化を図式的に説明している。

【図6】ゲート絶縁領域内の電荷捕捉の結果として図3に示したような、薄膜トランジスタの導電チャネル領域を横切るしきい電圧の変化を變化を圖式的に説明している。

【図7】この薄膜トランジスタへのデータの書込の前と後との図2と図3に示したアレイの薄膜トランジスタのモデル化された伝達特性を示している。

【図8】この薄膜トランジスタのデータの書込の前と後との図2と図3に示したアレイの薄膜トランジスタの経験的に得られた伝達特性を図解している。

【図9】本発明による半導体メモリ装置に使用するのに適した薄膜トランジスタのもう一つの種類を通る断面図である。

【図10】図9に示したタイプの3個の隣接する薄膜トランジスタに対する等価回路である。

【図11】図9に示した薄膜トランジスタに対して得られた経験的伝達特性を図解している。

【符号の説明】

- 0 電荷感応増幅器の出力端子
- 2 アレイ
- 3 薄膜電界効果トランジスタ(TFT)
- 3' 反スタガー形薄膜トランジスタ
- 3a, 3b 薄膜トランジスタの一方の部分
- 4 第1主電極
- 5 第2主電極
- 6 ゲート電極
- 7 行導体
- 7a n番目の行導体
- 8 列導体
- 8' 最初の列導体
- 8'' 最後の列導体
- 8a m番目の列導体
- 9, 10 シフトレジスタ及び復号回路

9a, 10a シフトレジスタ及び復号回路の第1入力端子
 9b, 10b シフトレジスタ及び復号回路の第2入力端子
 11 絶縁基板
 12 ゲート絶縁領域
 13 真性アモルファス半導体の層
 13a 露出された範囲
 13b 台地状ストリップ
 14 ドープされた半導体領域
 16 パッシベーション領域
 16a, 16b 重複領域
 20 マスクパターン
 30, 30', 31, 31', 32, 32' 薄膜トランジスタ
 90 行駆動回路
 91 絶縁ゲート電界効果トランジスタ
 91a 第1導体
 92 絶縁ゲート電界効果トランジスタ
 92a 第2導体
 93 絶縁ゲート電界効果トランジスタ
 93a 第3導体

94 絶縁ゲート電界効果トランジスタ

94a 第4導体

100 列駆動回路

101 トランジスタ

101a 第5導体

102 トランジスタ

102a 第6導体

103 トランジスタ

103a 第7導体

104 電荷感応増幅器

104a 負入力端子

104b 正入力端子

C コンデンサ

$M_{n,m}$ n行m列のメモリ位置

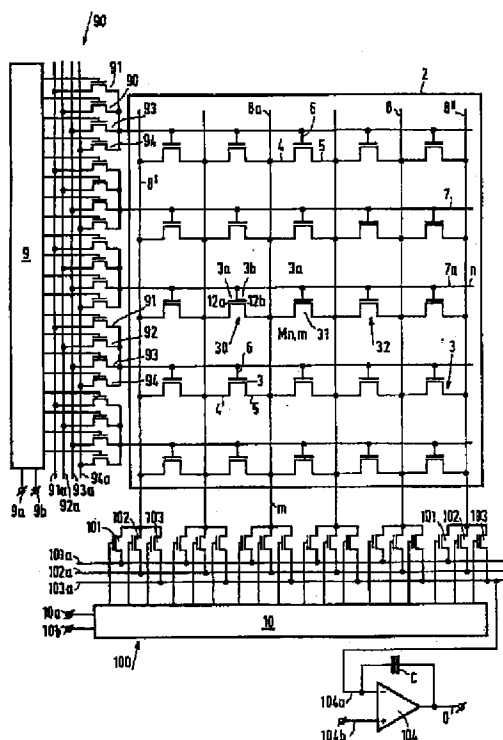
$V_g W$ 第1予定電圧

$V_d W$ 第2予定電圧

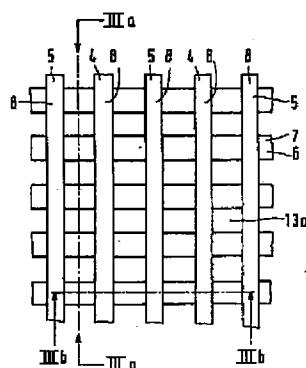
$V_g R$ 第3予定電圧

$V_d R$ 第4予定電圧

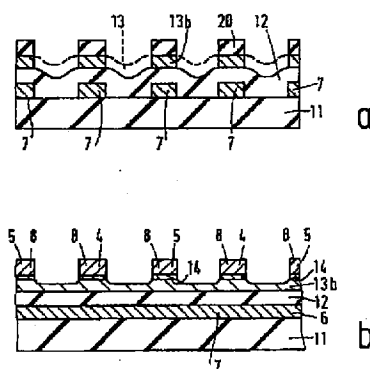
【図1】



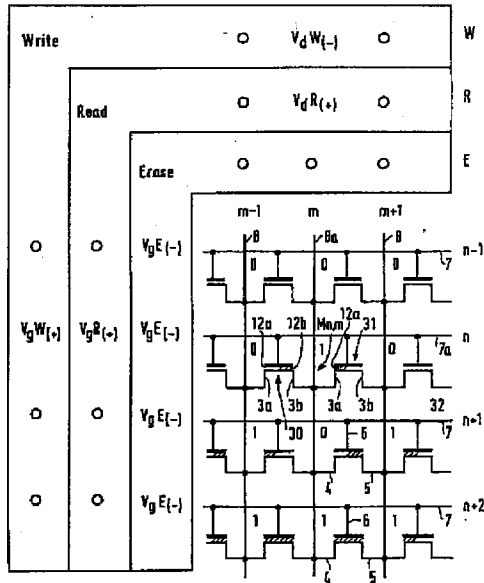
【図2】



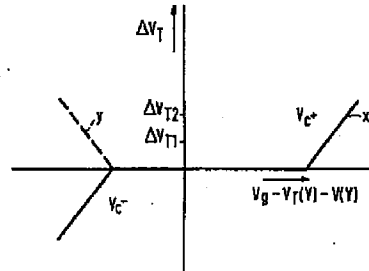
【図3】



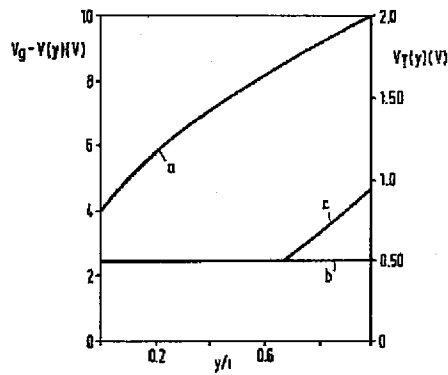
【図4】



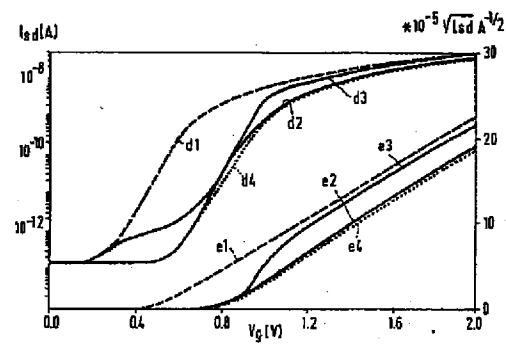
【図5】



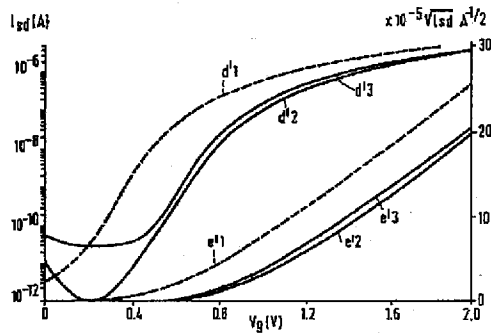
【図6】



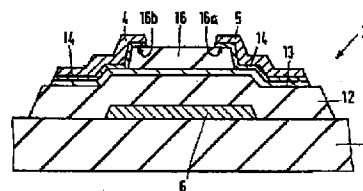
【図7】



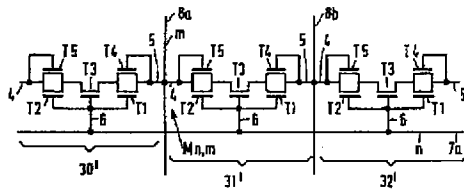
【図8】



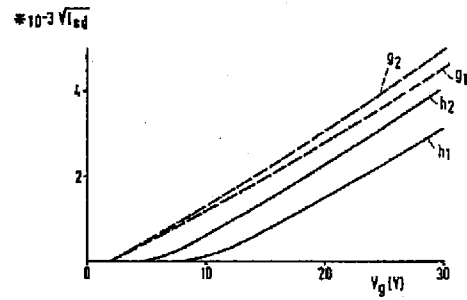
【図9】



【図10】



【図11】



フロントページの続き

(72)発明者 ニール クリストファー バード
イギリス国 サリー ホーレイ オークウ
ッド ロード 10